

**Semiconductor device and its manufacturing method**

Patent Number: ☐ US2002045317  
Publication date: 2002-04-18  
Inventor(s): ABE YUJI (JP); MIURA NARUHISA (JP); OISHI TOSHIYUKI (JP); SUGIHARA KOHEI (JP); TOKUDA YASUNORI (JP)  
Applicant(s): MITSUBISHI ELECTRIC CORP (JP)  
Requested Patent: JP2002124665  
Application Number: US20010955488 20010919  
Priority Number(s): JP20000312128 20001012  
IPC Classification: H01L21/336  
EC Classification: H01L29/78F2, H01L21/336H6C, H01L21/336M  
Equivalents: ☐ US6617654

**Abstract**

Source/drain regions are formed with two regions of an epitaxial silicon film formed on the surface of the substrate and a region formed by ion implantation and thermal diffusion of impurities into the substrate, and the depth of junction of the source/drain regions is formed at a depth identical with or shallower than the depth of junction of the extension regions. As a result, even if the thickness of the side wall layer is reduced, since the depletion layer of the extension regions with lower impurity concentration compared with the source/drain regions is predominant, the short channel effect are less degraded

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

BM



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-124665  
(P2002-124665A)

(43) 公開日 平成14年4月26日 (2002.4.26)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)
H 0 1 L 29/78		H 0 1 L 21/28	3 0 1 D 4 M 1 0 4
21/28	3 0 1	29/78	3 0 1 S 5 F 0 4 0
29/43		29/62	G
21/336		29/78	3 0 1 G
			3 0 1 P

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願2000-312128(P2000-312128)

(22) 出願日 平成12年10月12日 (2000. 10. 12)

(71) 出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目2番3号  
(72) 発明者 大石 敏之  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72) 発明者 杉原 浩平  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(74) 代理人 100102439  
弁理士 宮田 金雄 (外1名)

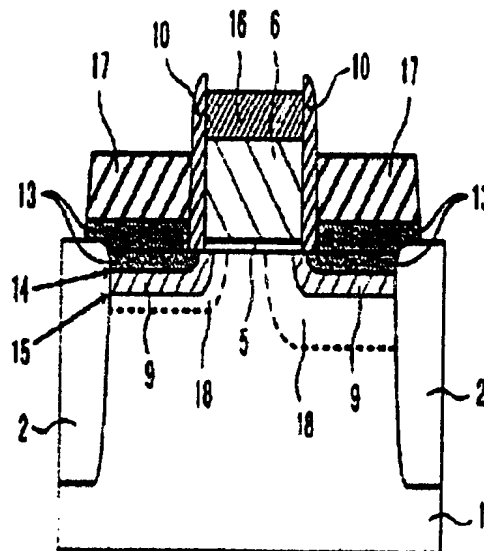
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】 (修正有)

【課題】 短チャンネル効果を抑制しつつ、サイドウォール層厚の薄層化を図り、MOSFETの素子サイズを縮小することを目的とする。

【解決手段】 ソース・ドレイン領域13を、基板表面上に形成されたエピタキシャルシリコン膜と基板中に不純物をイオン注入、熱拡散した領域の2つの領域により形成し、ソース・ドレイン領域13の接合位置をエクステンション領域9の接合位置と同一かそれより浅く形成する。この結果、サイドウォール10層厚を薄層化しても、ソース・ドレイン領域に比べて不純物濃度の低いエクステンション領域の空乏層18が支配的になるため、短チャンネル特性の劣化が生じにくくなる。



【特許請求の範囲】

【請求項 1】 第1の導電型の基板上に形成されたゲート電極と、前記ゲート電極の両側面に設けられたサイドウォールと、前記基板中で前記ゲート電極の両側に第2の導電型の不純物を導入、拡散して形成され前記基板の表面に対して所定の接合位置を有するエクステンション領域と、前記基板上で前記ゲート電極の両側に選択的に形成された結晶成長膜および前記結晶成長膜直下に第2の導電型の不純物を導入、拡散して形成され、前記エクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域と、を備えることを特徴とする半導体装置。

【請求項 2】 前記ソース・ドレイン領域の接合位置と前記エクステンション領域の接合位置間の距離が10nm以上であることを特徴とする請求項1記載の半導体装置。

【請求項 3】 前記結晶成長膜がシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの複数の膜からなることを特徴とする請求項1記載の半導体装置。

【請求項 4】 前記結晶成長膜が、前記基板上に形成されたシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの複数の膜からなる第1の結晶成長膜と、タングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成された第2の結晶成長膜と、を備えることを特徴とする請求項1記載の半導体装置。

【請求項 5】 前記結晶成長膜の表面および/あるいは前記ゲート電極上部から所定の深さまでシリサイド領域が形成されていることを特徴とする請求項1記載の半導体装置。

【請求項 6】 前記ゲート電極の一部がタングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成されていることを特徴とする請求項1記載の半導体装置。

【請求項 7】 前記サイドウォールで前記基板に接する部分の層厚が7.5nm~40nmであることを特徴とする請求項1記載の半導体装置。

【請求項 8】 第1の導電型の基板上にゲート電極を形成するように、多層膜を成膜し、前記多層膜を所定のパターンにエッチングする工程と、前記ゲート電極の両側面にサイドウォールを形成する工程と、前記基板中で前記ゲート電極の両側に第2の導電型の不純物を導入、拡散して前記基板の表面から所定の接合位置を有するエクステンション領域を形成するように、所定の条件下に前記第2の導電型の不純物のイオン注入および熱処理を行う工程と、前記基板上で前記ゲート電極の両側にソース・ドレイン領域の一部を形成するように、結晶成長法に

より選択的に結晶成長膜を成膜する工程と、前記結晶成長膜直下の前記基板中に第2の導電型の不純物を導入、拡散して前記エクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域の他の一部を形成するように、所定の条件下に第2の導電型の不純物のイオン注入および熱処理を行う工程と、を備えたことを特徴とする半導体装置の製造方法。

【請求項 9】 前記結晶成長膜形成後、前記ゲート電極および/あるいは前記結晶成長膜表面からそれぞれ所定の深さまでシリサイド領域を形成する工程を備えたことを特徴とする請求項8記載の半導体装置の製造方法。

【請求項 10】 前記第2の導電型の不純物を含んだ領域形成後、前記サイドウォール上にさらに第2のサイドウォールを形成する工程を備えたことを特徴とする請求項8記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はMOSFET等の半導体装置の小型化に関するものである。また、本発明はそのような半導体装置の製造方法に関するものである。

【0002】

【従来の技術】 図14は例えばSilicon Processing for the VLSI Era Volume 2, Process Integration 354ないし356ページに掲載された従来のエクステンション構造のMOSFETを示す断面図である。なお、文献中ではLDD (Lightly Doped Drain) 構造と呼ばれているが、不純物濃度の高濃度化に伴い、近年はエクステンション構造と呼ばれている。図中、1はp型シリコン基板、2は素子分離領域、5はゲート絶縁膜、9はエクステンション領域、6はn型ポリシリコンゲート電極、10はサイドウォール、13aはソース・ドレイン領域中のドレイン領域、13bはソース・ドレイン領域中のソース領域、14はソース・ドレイン領域の接合位置、15はエクステンション領域の接合位置、16、17はシリサイド領域、24はドレイン領域から生じる空乏層、25はソース領域から生じる空乏層、をそれぞれ示す。

【0003】 以下に、従来のエクステンション構造を具備するMOSFETの素子構造および製造方法について簡単に説明する。

【0004】 まず、p型シリコン基板1に活性領域を他の活性領域から分離するための素子分離領域2を形成し、p型不純物であるホウ素やB<sub>2</sub>F<sub>6</sub>等をイオン注入してウェル（図示せず）を形成後、p型シリコン基板1表面にゲート絶縁膜5、n型ポリシリコン膜を堆積する。フォトリソグラフィによりゲート電極パターンを形成し、このパターンをマスクとしてエッチングを行い、n型ポリシリコンゲート電極6を形成する。

【0005】 続いて、n型不純物であるリンや砒素等をイオン注入して自己整合的にエクステンション領域9を形成する。次に、シリコン酸化膜やシリコン窒化膜等で

サイドウォール10を形成し、n型不純物であるリンや砒素等をイオン注入し、熱処理を行ってn型ソース・ドレイン領域13を形成した後、シリサイド化して、ゲート電極中のシリサイド領域16、ソース・ドレイン領域のシリサイド領域17を形成することで、MOSFETの主要部分は完成する。

【0006】

【発明が解決しようとする課題】トランジスタの集積度をより向上させるには個々のMOSFETのサイズを縮小する必要があるが、MOSFETのサイズを縮小する1つの手段として、サイドウォール10の層厚を薄くする方法が有効である。

【0007】しかしながら、従来のMOSFETでは、エクステンション領域9の接合位置15よりソース・ドレイン領域13の接合位置14の方がシリコン基板1表面に対して深く形成されているので、サイドウォール10の層厚を薄くすると図15に模式的に示すように、ソース・ドレイン領域13がエクステンション領域9全体を覆ってしまう。この結果、ドレイン領域から生じる空乏層24がソース領域に影響を及ぼし、動作電圧の上昇に伴い、ソース領域から生じる空乏層25とドレイン領域から生じる空乏層24の間隔が、例えば、図14中のサイドウォール10の層厚に素子構造において形成される空乏層間の距離1に対して図15中の距離2へと短くなり、この結果、短チャネル特性が劣化してしまう問題があった。

【0008】そこで、この対策として、ソース・ドレイン領域13の接合位置14を浅くすることにより、ソース・ドレイン領域の接合の影響を小さくする方法が考えられる。しかし、単に接合位置14を浅くするだけではソース・ドレイン領域13全体の厚さが薄くなるため、ソース・ドレイン抵抗が増加してしまう不具合が生じた。

【0009】本発明では上述の不具合を防止しつつ、サイドウォール層厚の薄層化を図り、素子サイズを縮小することを目的とする。

【0010】

【課題を解決するための手段】本発明に係る半導体装置は、第1の導電型の基板上に形成されたゲート電極と、ゲート電極の両側面に設けられたサイドウォールと、基板中でゲート電極の両側に第2の導電型の不純物を導入、拡散して形成され基板の表面に対して所定の接合位置を有するエクステンション領域と、基板上でゲート電極の両側に選択的に形成された結晶成長膜および結晶成長膜直下に第2の導電型の不純物を導入、拡散して形成されエクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域と、を備えるものである。

【0011】また、本発明に係る半導体装置は、上述のソース・ドレイン領域の接合位置とエクステンション領

域の接合位置間の距離が10nm以上であることとしたものである。

【0012】また、本発明に係る半導体装置は、上述の結晶成長膜がシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの複数の膜からなることとしたものである。

【0013】また、本発明に係る半導体装置は、上述の結晶成長膜が、基板上に形成されたシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの複数の膜からなる第1の結晶成長膜と、タングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成された第2の結晶成長膜と、を備えることとしたものである。

【0014】また、本発明に係る半導体装置は、上述の結晶成長膜の表面および/あるいはゲート電極上部から所定の深さまでシリサイド領域が形成されていることとしたものである。

【0015】また、本発明に係る半導体装置は、上述のゲート電極の一部がタングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成されていることとしたものである。

【0016】また、本発明に係る半導体装置は、上述のサイドウォールで基板に接する部分の層厚が7.5nm~40nmとしたものである。

【0017】本発明に係る半導体装置の製造方法は、第1の導電型の基板上にゲート電極を形成するように多層膜を成膜し所定のパターンにエッチングする工程と、ゲート電極の両側面にサイドウォールを形成する工程と、基板中でゲート電極の両側に第2の導電型の不純物を導入、拡散して基板の表面から所定の接合位置を有するエクステンション領域を形成するように所定の条件下に第2の導電型の不純物のイオン注入および熱処理を行う工程と、基板上でゲート電極の両側にソース・ドレイン領域の一部を形成するように結晶成長法により選択的に結晶成長膜を成膜する工程と、結晶成長膜直下の基板中に第2の導電型の不純物を導入、拡散してエクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域の他の一部を形成するように所定の条件下に第2の導電型の不純物のイオン注入および熱処理を行う工程と、を備えたものである。

【0018】また、本発明に係る半導体装置の製造方法は、上述の結晶成長膜形成後、ゲート電極および/あるいは結晶成長膜表面からそれぞれ所定の深さまでシリサイド領域を形成する工程を備えたものである。

【0019】また、本発明に係る半導体装置の製造方法は、第2の導電型の不純物を含んだ領域形成後、サイドウォール上にさらに第2のサイドウォールを形成する工程を備えたものである。

【0020】

【発明の実施の形態】実施の形態1。以下、この発明の実施の形態1を説明する。ここでは、従来例と同様n型MOSFET(Metal Oxide Semiconductor Field Effect Transistor)を例にとる。図1〜7は本発明の実施の形態1によるn型MOSFETの製造方法および素子構造の断面図を模式的に示したものである。

【0021】以下、本発明の実施の形態1によるn型MOSFETの作製方法及び素子構造を述べる。まず、図1に示すように、p型シリコン基板1に素子分離領域2を形成し、シリコン基板1表面のパッド酸化膜3を通して、p型不純物であるボロン、BF<sub>2</sub>等をイオン注入4し、ウエルおよびチャネルカット領域、チャネル領域(図示せず)を形成する。ウエルおよびチャネルカット領域形成の際のイオン注入の加速電圧は注入イオン種に依存するが100keV〜5MeVの範囲内、ドーズ量は1.012〜1.015cm<sup>-2</sup>程度が好適である。また、チャネル領域形成の際のイオン注入の加速電圧は同様に注入イオン種に依存するが5keV〜50keVの範囲内、ドーズ量は5×10<sup>10</sup>〜1.012cm<sup>-2</sup>程度が好適である。

【0022】次に、パッド酸化膜3を除去した後、ゲート絶縁膜5、n型ポリシリコン膜、シリコン酸化膜または窒化膜7を順次堆積する。その後、フォトリソグラフィとドライエッチングによりゲート電極パターンを形成して、このパターンをマスクとしてシリコン酸化膜または窒化膜7をエッチングし、さらにn型ポリシリコン膜、ゲート絶縁膜5をエッチングすることにより、図2に示されるようなn型ポリシリコンゲート電極6を形成する。続いて、イオン注入8によりエクステンション領域9を形成する。エクステンション領域9形成の際の注入イオン種はn型不純物である砒素、リン等、加速電圧は注入イオン種に依存するが0.1keV〜20keVの範囲内、ドーズ量は1.013〜1.015cm<sup>-2</sup>程度が好適である。

【0023】ウエハ全面にシリコン窒化膜を堆積した後、エッチバックして、図3に示すようなサイドウォール10を形成する。サイドウォール10はシリコン酸化膜またはシリコン窒化膜、あるいはこれらの多層膜で構成されている。

【0024】サイドウォール10のシリコン基板1に接する部分の厚さは、エクステンション領域9を後述するソース・ドレイン領域13と分離するのに必要な最低限の厚さ、すなわち7.5nm以上で、かつ個々のMOSFETのサイズを縮小する観点から40nm以下の範囲が好適である。

【0025】次に、選択結晶成長法を用いて、エクステンション領域9が露出している表面上に選択的にエピタキシャルシリコン膜11を成長させる。かかる選択結晶成長法は、公知の結晶成長方法、例えば超高真空中での化学

的気相成長法、減圧下の化学的気相成長法等により容易に実現できる。ソース・ドレイン抵抗を増加させない観点から、結晶成長させたエピタキシャルシリコン膜11の厚さは約10nm以上であれば良い。選択結晶成長後の素子断面図を図4に示す。

【0026】超高真空中での化学的気相成長法の場合は、結晶成長条件として一例を挙げると、原料ガスであるジシランの流量は1〜10sccm、選択成長に必要な塩素ガスの流量は1〜10sccm、基板温度としては400〜900℃が好適である。

【0027】図4では、n型ポリシリコンゲート電極6上にはエピタキシャルシリコン膜11を成長させない断面図を示しているが、n型ポリシリコンゲート電極6上のシリコン酸化膜7を除去した後、選択結晶成長し、n型ポリシリコンゲート電極6上にもエピタキシャルシリコン膜を成長させても良い。また、堆積したエピタキシャルシリコン膜11は不純物を含んでもあるいは含んでなくても良い。堆積する結晶成長膜の材料としてはシリコンの他、シリコンゲルマニウム、シリコンゲルマニウム・カーボンのように他のIV族元素も構成元素の一つであっても良いし、さらに、これらの材料からなる多層膜であっても良い。かかる膜中の不純物に関してはシリコン単一の場合と同様、含んでいても良い。

【0028】次工程でn型ポリシリコンゲート電極6にも不純物をイオン注入すべく、フッ酸によるウエットエッチングでn型ポリシリコンゲート電極6上部のシリコン酸化膜7を除去する。シリコン酸化膜7除去後の素子断面図を図5に示す。

【0029】続いて、エピタキシャルシリコン膜11の一部を含むソース・ドレイン領域13を形成すべく、n型不純物をイオン注入12する。n型MOSFETにおける注入イオン種としてはシリコン中でn型不純物となる材料、すなわち砒素、リン等を用いる。また、加速電圧は注入イオン種に依存するが0.5keV〜500keVの範囲内、ドーズ量は5×10<sup>14</sup>〜5×10<sup>15</sup>cm<sup>-2</sup>程度が好適である。後述する熱処理時の不純物拡散の影響も考慮して、シリコン基板1表面に対してソース・ドレイン領域13の接合位置14がエクステンション領域9の接合位置15より同一か速くなるようイオン注入時の加速電圧、ドーズ量を調整する。なお、ソース・ドレイン領域13は上述したようにシリコン基板1上のエピタキシャルシリコン膜11とシリコン基板1中のn型不純物のイオン注入・拡散領域を併せた領域である。

【0030】後の工程の熱処理でエクステンション領域9やソース・ドレイン領域13の不純物を熱拡散させる。熱拡散後の素子断面図を図6に示す。なお、各接合位置はシリコン基板1表面から不純物濃度が10<sup>18</sup>cm<sup>-3</sup>となる部分までの距離と定義する。

【0031】上述の選択結晶成長において不純物を含んだ半導体膜11を結晶成長した場合は、イオン注入工程

は省略しても良い。この場合、後工程における熱処理で不純物が拡散する距離を考慮して、拡散不純物が形成する接合位置14がエクステンション領域9の接合位置15と同一か浅くなるよう、熱処理条件、エクステンション領域9形成時のイオン注入条件等を調整することは言うまでもない。

【0032】ウエハ全面にコバルトを堆積し、熱処理でエピタキシャルシリコン膜11と接触している部分、すなわち、n型ポリシリコンゲート電極6とソース・ドレイン領域13にシリサイド領域を形成する。この後、未反応のコバルトを除去するとn型ポリシリコンゲート電極6にシリサイド領域16が、ソース・ドレイン領域13にもシリサイド領域17が、それぞれ選択的に形成される。図7にシリサイド領域形成後の素子断面図を示す。

【0033】かかる工程を経て作製されたn型MOSFETは、シリコン基板1表面に対してエクステンション領域9の接合位置15よりソース・ドレイン領域13の接合位置14の方が同一かあるいは浅く形成されるため、ソース・ドレイン領域13からのびる空乏層の影響は無視できるレベルで、エクステンション領域9から生じる空乏層18によって短チャネル特性は支配される。しかしながら、エクステンション領域9の不純物濃度はソース・ドレイン領域13の不純物濃度より小さいので、短チャネル特性はソース・ドレイン領域13の空乏層が支配的である場合に比べて格段に改善する。

【0034】さらに、本実施の形態の素子構造では、従来の素子構造よりサイドウォール10の厚みを薄くしても、シリコン基板1表面上に形成されたエピタキシャルシリコン膜11の存在により、後述するソース・ドレイン抵抗の問題が回避されるため、シリコン基板1表面に対するソース・ドレイン領域13の深さ、すなわち、ソース・ドレイン領域13の深さ、従来の素子構造よりシリコン基板1中に浅く形成できる。したがって、ソース・ドレイン領域13から生じる空乏層が伸びる度合いは従来の深いソース・ドレイン領域の構造より格段に小さくなる。よって、本実施の形態の素子構造では、サイドウォール10の厚みが薄いにもかかわらず、従来の素子構造に比して短チャネル特性が劣化しないという顕著な効果がある。

【0035】従来の素子構造で単にソース・ドレイン領域13の接合位置を浅くすると、ソース・ドレイン抵抗が高くなる問題があったが、本構造においては、シリコン基板1上に結晶成長されたエピタキシャルシリコン膜11も実効的にソース・ドレイン領域の一部13として機能するので、その分ソース・ドレイン抵抗も減少する。よって、かかる素子構造を採用すれば、サイドウォール10厚みの薄層化が可能となり、MOSFETの微細化に有効となる。

【0036】なお、上述の説明ではn型MOSFETを

一例としたが、p型MOSFETにも同様に適用できることは言うまでもない。

【0037】実施の形態2、実施の形態1のシリサイド形成方法とは別に、図8～9に示すように、エピタキシャルシリコン膜11形成後、サイドウォール10上にさらに第2のサイドウォール19を形成した後、シリサイド化を行い、n型ポリシリコンゲート電極6中およびエピタキシャルシリコン膜11中にそれぞれシリサイド領域16、17を形成する方法も有効である。

【0038】以下にかかる素子構造、つまり第2のサイドウォール19を形成する利点について説明する。

【0039】選択結晶成長によってエピタキシャルシリコン膜11をソース・ドレイン部分にのみ形成するが、結晶成長条件によってはエピタキシャルシリコン膜がサイドウォール10上部に一部付着する場合もある。このような状態でシリサイド化を行うと、サイドウォール10上部の付着エピタキシャルシリコン膜もシリサイド化され、さらに、かかる付着膜が伸長してサイドウォール10を超えてn型ポリシリコンゲート電極6上部と接触する結果、n型ポリシリコンゲート電極6とソース・ドレイン領域13が短絡してしまう不具合が生じるおそれがある。

【0040】そこで、エピタキシャルシリコン膜11形成後にサイドウォール10上にさらに第2のサイドウォール19を形成すれば、この上にさらにエピタキシャルシリコン膜が形成されることは工程上ありえないので、n型ポリシリコンゲート電極6とソース・ドレイン領域13の短絡が防止でき、微細化に優れたMOSFETを安定に形成できる効果がある。

【0041】実施の形態3、以下に、実施の形態3によるMOSFETの製造方法および構造について説明する。なお、製造方法のうち実施の形態1における図1は同一なので、図10～13を用いて、それ以降の工程を説明する。

【0042】ウエハのバッド酸化膜3を除去した後、ゲート絶縁膜5を形成し、n型ポリシリコンゲート電極用の膜6'、金属あるいはシリサイドの導電体膜20、窒化膜のみまたは酸化膜および窒化膜からなる膜21を順次成膜し、その後フォトリソグラフィとドライエッチングによりゲート電極パターンを形成して、それをマスクに窒化膜のみまたは酸化膜および窒化膜からなる膜21をドライエッチングし、さらに金属あるいはシリサイドの導電体膜20、n型ポリシリコン膜をエッチングして、n型ポリシリコンゲート電極6'を形成する。次に、イオン注入8によりエクステンション領域9を形成する。イオン注入条件は実施の形態1の場合と同一である。

【0043】上述のn型ポリシリコンゲート電極6'の一部として用いられる金属やシリサイドの導電体膜20は、例えば、タングステン、コバルト、銅、アルミニウ

ム、ニッケル、モリブデンあるいはこれらのシリサイドまたはこれらの材料で構成される多層膜が挙げられる。この他、 $n$ 型ポリシリコンゲート電極 $6'$ としてポリシリコン膜と導電体膜 $20$ の二層構成の他に導電体膜 $20$ のみの構成としても、同様の効果を発揮する。

【0044】ウエハ全面にシリコン酸化膜を堆積した後、エッチバックすることにより、図11に示すようなサイドウォール $10$ を形成する。サイドウォール $10$ はシリコン酸化膜またはシリコン窒化膜、あるいはこれらの多層膜からなる。

【0045】次に、選択結晶成長方法を用いて、エクステンション領域 $9$ で露出した表面上に、選択的にエピタキシャルシリコン膜 $22$ とタングステン膜 $23$ を順次堆積する。図12に結晶成長後の素子断面図を示す。実施の形態1と同様な公知の結晶成長方法、つまり、超高真空下の化学的気相成長法、減圧下の化学的気相成長法等により実現できる。エピタキシャルシリコン膜 $22$ とタングステン膜 $23$ の膜厚はソース・ドレイン抵抗を増加させない程度、すなわち、エピタキシャルシリコン膜 $22$ は膜厚 $5\text{nm}$ 以上、タングステン膜 $23$ は膜厚 $5\text{nm}$ 以上で充分その役割を果たす。エピタキシャルシリコン膜 $22$ に関しては実施の形態1と同様、不純物を含んでもあるいは含んでなくても良い。また、堆積する材料はシリコンの他にシリコンゲルマニウム、シリコンゲルマニウム・カーボンのように他のIV族元素を含んでも良いし、これらの材料からなる多層膜であっても良い。これらの膜の不純物に関してはシリコン単一の場合と同様、含んでもあるいは含まなくてもよい。導電体膜 $23$ はタングステンの他にコハルト、銅、アルミニウム、ニッケル、モリブデンまたはこれらのシリサイドであっても同一の効果を奏することは言うまでもない。さらに、イオン注入 $12$ を行ってシリコン基板 $1$ 下のソース・ドレイン領域 $13$ を形成することにより、図13に示す断面を有する半導体装置が完成する。

【0046】以下、かかる構成を適用することによる利点を説明する。MOSFETのゲート電極抵抗やソース・ドレイン抵抗を低減するには、ゲート電極、ソース・ドレイン領域の一部にそれぞれ金属からなる導電体膜を用いることが望ましい。したがって、実施の形態3の素子構造は、実施の形態1の素子構造に比して、さらに、ゲート電極抵抗やソース・ドレイン抵抗が低減され、素子特性が向上する利点がある。

【0047】図9に示された実施の形態2の素子構造の断面形状を見ると、 $n$ 型ポリシリコンゲート電極 $6$ 上はシリサイド領域 $15$ が表面に露出している。これに対して、実施の形態3の素子構造の断面形状、つまり図13に示された素子構造では $n$ 型ポリシリコンゲート電極 $6$ 上に窒化膜のみまたは酸化膜および窒化膜からなる膜 $21$ が形成されている。

【0048】MOSFETでは、一般にゲート電極形成

後、ウエハ上に層間絶縁膜を堆積し、必要に応じてコンタクトを形成して、層間絶縁膜上の配線等と層間絶縁膜下のトランジスタ等を電気的に接続するが、この際、自己整合コンタクト (self-aligned contact, SAC) という構造が採用される場合がある。SAC構造を用いれば、ソース・ドレイン領域上に設けられるべきコンタクトの位置がずれて $n$ 型ポリシリコンゲート電極 $6'$ 側に接触しても、エッチングを窒化膜のみまたは酸化膜および窒化膜からなる膜 $21$ で止めることが可能であるので、コンタクトと $n$ 型ポリシリコンゲート電極 $6'$ 間の電気的短絡を防止できる。これは、層間絶縁膜は一般に酸化膜で構成されているため、酸化膜のみエッチングされ窒化膜のみまたは酸化膜および窒化膜からなる膜 $21$ は殆ど全くエッチングされない、いわゆる選択的エッチング技術が適用できるからである。

【0049】かかる特徴を具備するSAC構造の実現には、予め $n$ 型ポリシリコンゲート電極 $6'$ の上部に窒化膜のみまたは酸化膜および窒化膜からなる膜 $21$ が形成されている必要があり、これにはタングステン等の導電体膜 $20$ を使わねばならないからである。

【0050】以上、 $n$ 型ポリシリコンゲート電極 $6'$ とソース・ドレイン領域の一部 $23$ の両方にタングステン膜に例示された導電体膜 $20$ を使う構成について説明したが、 $n$ 型ポリシリコンゲート電極 $6'$ をタングステン膜、ソース・ドレイン領域の一部をシリサイド領域にする組合せでも、 $n$ 型ポリシリコンゲート電極 $6'$ やソース・ドレイン領域 $13$ の電気抵抗が低減する効果自体は向う問題なく生じることは言うまでもない。

【0051】

【発明の効果】本発明に係る半導体装置では、第1の導電型の基板上に形成されたゲート電極と、ゲート電極の両側面に設けられたサイドウォールと、基板中でゲート電極の両側に第2の導電型の不純物を導入、拡散して形成され基板の表面に対して所定の接合位置を有するエクステンション領域と、基板上でゲート電極の両側に選択的に形成された結晶成長膜および結晶成長膜直下に第2の導電型の不純物を導入、拡散して形成されエクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域と、を備えたので、遅延特性やソース・ドレイン抵抗を良好に保ちつつ、サイドウォール層を薄層化できる結果、MOSFETのサイズを縮小する効果がある。

【0052】また、本発明に係る半導体装置は、上述のソース・ドレイン領域の接合位置とエクステンション領域の接合位置間の距離が $10\text{nm}$ 以上としたので、エクステンション領域の空乏層が支配的になる結果、遅延特性が良好に保たれる効果がある。

【0053】また、本発明に係る半導体装置では、上述の結晶成長膜がシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの

複数の膜からなるので、ソース・ドレイン抵抗の上昇を伴わずにソース・ドレイン領域の接合位置を深くできる効果がある。

【0054】また、本発明に係る半導体装置では、上述の結晶成長膜が、基板の上に形成されたシリコン、ゲルマニウム、炭素のいずれか1つあるいは2以上の元素からなる膜またはこれらの複数の膜からなる第1の結晶成長膜と、タングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成された第2の結晶成長膜と、を備えたので、より一層ソース・ドレイン抵抗を低減しながら、ソース・ドレイン領域の接合位置を深くできる効果がある。

【0055】また、本発明に係る半導体装置では、上述の結晶成長膜の表面および/あるいはゲート電極上部から所定の深さまでシリサイド領域が形成されているので、より一層ソース・ドレイン抵抗を低減できる効果がある。

【0056】また、本発明に係る半導体装置では、上述のゲート電極の一部がタングステン、コバルト、銅、アルミニウム、ニッケル、モリブデンあるいはこれらのシリサイド膜またはこれらの複数の膜からなる導電体膜で構成されているので、より一層ソース・ドレイン抵抗を低減できる効果がある。

【0057】また、本発明に係る半導体装置では、上述のサイドウォールで基板に接する部分の層厚が7.5nm~40nmであるので、MOSFETのサイズを縮小できる効果がある。

【0058】本発明に係る半導体装置の製造方法では、本発明に係る半導体装置の製造方法は、第1の導電型の基板上にゲート電極を形成するように多層膜を成膜し所定のパターンにエッチングする工程と、ゲート電極の両側面にサイドウォールを形成する工程と、基板中でゲート電極の両側に第2の導電型の不純物を導入、拡散して基板の表面から所定の接合位置を有するエクステンション領域を形成するように所定の条件下に第2の導電型の不純物のイオン注入および熱処理を行う工程と、基板上でゲート電極の両側にソース・ドレイン領域の一部を形成するように結晶成長法により選択的に結晶成長膜を成膜する工程と、結晶成長膜直下の基板中に第2の導電型の不純物を導入、拡散してエクステンション領域の接合位置と同一かまたはそれより浅い接合位置を有するソース・ドレイン領域の他の一部を形成するように所定の条件下に第2の導電型の不純物のイオン注入および熱処理を行う工程と、を備えたので、短チャネル特性を良好に維持しつつ、MOSFETのサイズの小さい半導体装置を効率的に製造できる効果がある。

【0059】また、本発明に係る半導体装置の製造方法では、上述の結晶成長膜形成後、ゲート電極および/あるいは結晶成長膜表面からそれぞれ所定の深さまでシリ

サイド領域を形成する工程を備えたので、よりソース・ドレイン抵抗が低減されたMOSFETのサイズの小さい半導体装置を効率的に製造できる効果がある。

【0060】また、本発明に係る半導体装置の製造方法では、第2の導電型の不純物を含んだ領域形成後、サイドウォール上にさらに第2のサイドウォールを形成する工程を備えたので、MOSFETのサイズの小さい半導体装置を安定に製造できる効果がある。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図2】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図3】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図4】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図5】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図6】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図7】 本発明の実施の形態1を示す半導体装置の製造方法および素子構造の断面図である。

【図8】 本発明の実施の形態2を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図9】 本発明の実施の形態2を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図10】 本発明の実施の形態3を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図11】 本発明の実施の形態3を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図12】 本発明の実施の形態3を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図13】 本発明の実施の形態3を示す半導体装置の製造方法の一部および素子構造の断面図である。

【図14】 従来の半導体装置の断面図である。

【図15】 従来の半導体装置の断面図である。

#### 【符号の説明】

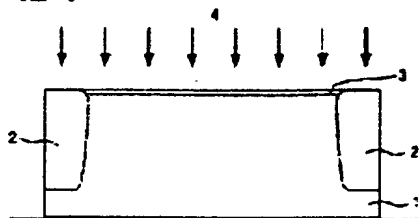
1 p型シリコン基板、2 素子分離領域、3 パッド酸化膜、4 イオン注入、5 ゲート絶縁膜、6、6' n型ポリシリコンゲート電極、7 シリコン酸化膜または窒化膜、8 イオン注入、9 エクステンション領域、10 サイドウォール、11 エピタキシャルシリコン膜、12 イオン注入、13 ソース・ドレイン領域、14 ソース・ドレイン領域の接合位置、15 エクステンション領域の接合位置、16 ゲート電極中のシリサイド領域、17 ソース・ドレイン領域のシリサイド領域、18 エクステンション領域から生じる空乏層、19 第2のサイドウォール、20 タングステン等の導電体膜、



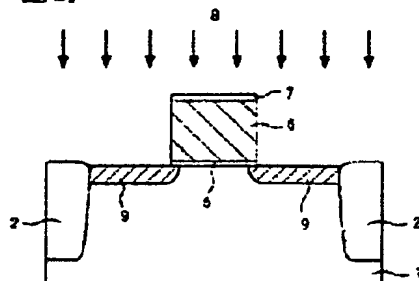
21 窒化膜または酸化膜および窒化膜からなる膜、  
22 エピタキシャルシリコン膜、 23 タングステ

ン膜、 24 ドレイン領域から生じる窒乏層、 25  
ソース領域から生じる窒乏層。

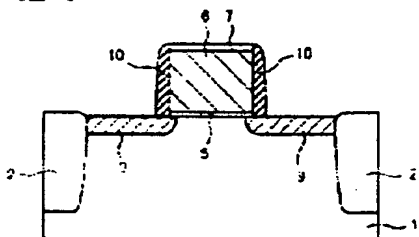
【図1】



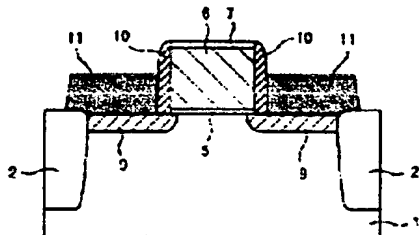
【図2】



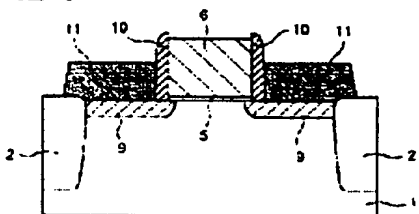
【図3】



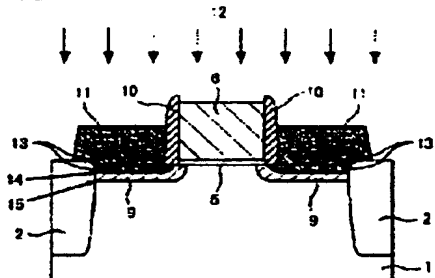
【図4】



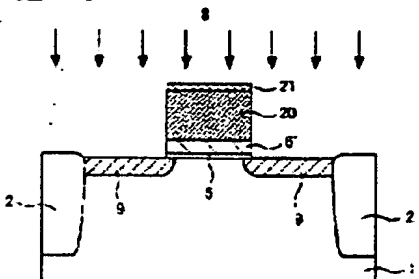
【図5】



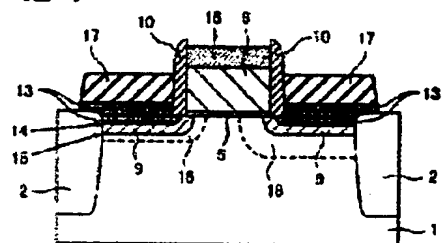
【図6】



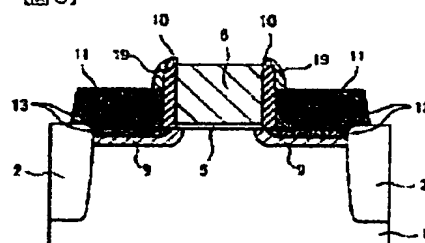
【図10】



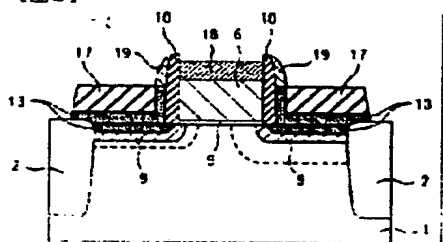
【図7】



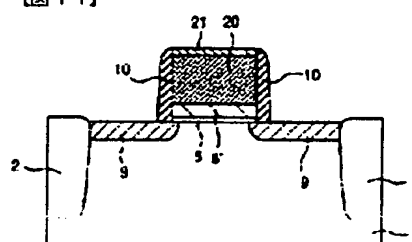
【図8】



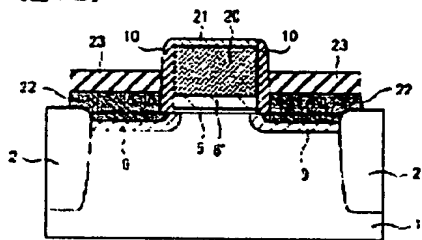
【図9】



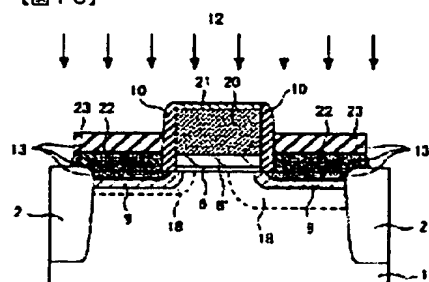
【図11】



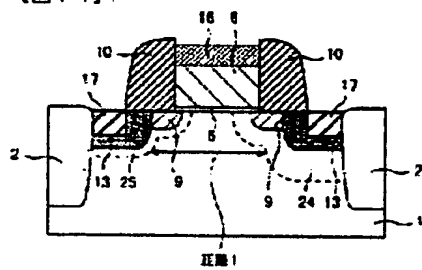
【図12】



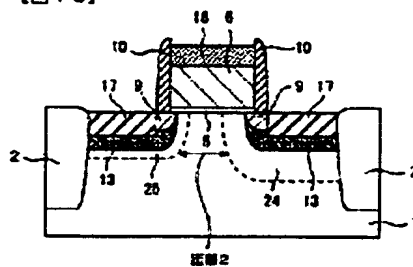
【図13】



【図14】



【図15】



フロントページの続き

(72)発明者 三浦 成久  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 阿部 雄次  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内  
(72)発明者 徳田 安紀  
東京都千代田区丸の内二丁目2番3号 三  
菱電機株式会社内

Fターム(参考) 4M104 AA01 BB01 BB04 BB19 BB36  
CC01 CC05 DD02 DD04 DD08  
DD09 DD16 DD17 DD23 DD26  
DD46 DD55 DD65 DD78 DD84  
DD92 FF13 GG09 GG10 GG14  
HH16  
SF040 DA00 DC01 EC01 EC04 EC07  
EC12 EC13 EF03 EF11 EH01  
EH02 FA07 FC05 FC19

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**